

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-211128

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/205		7454-4M		
21/265				
21/027				
		8617-4M	H 0 1 L 21/ 265	W
		7352-4M	21/ 30	3 3 1 M

審査請求 未請求 請求項の数9(全 6 頁) 最終頁に続く

(21)出願番号 特願平4-246594

(22)出願日 平成4年(1992)9月16日

(31)優先権主張番号 9 1 1 1 4 9 1

(32)優先日 1991年9月18日

(33)優先権主張国 フランス (F R)

(71)出願人 592100120

コミサリヤ・ア・レネルジ・アトミック
フランス国、75015・パリ、リュ・ドウ・
ラ・フェデラシオン、31/33

(72)発明者 ミシエル・ブリユエル

フランス国、38113・プレー、プレベール・
ル・ニユメロ・9

(74)代理人 弁理士 川口 義雄 (外2名)

(54)【発明の名称】 薄い半導体材料フィルムの製造方法

(57)【要約】

【目的】 単結晶質フィルムの製造に適用可能な薄い半導体材料フィルムの製造方法を提供する。

【構成】 薄い単結晶質又は多結晶質半導体材料フィルムの製造方法は、平面を有する半導体材料ウェーハを、以下の3つの段階：基板のバルクを構成する下方区域6と薄いフィルムを構成する上方区域5とを前記ウェーハの容積部内に限定する微小気泡の層3を前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハ1の面4へのボンバード2による注入の第1段階と、前記ウェーハの平面4を、少なくとも1つの剛性材料層からなる補剛材7と密着させる第2段階と、イオンボンバード2が実施される温度よりも高く、且つウェーハ1中の結晶再配列作用及び微小気泡内の圧力作用により薄いフィルム5と基板6のバックとを分離させるのに十分な温度で前記ウェーハ1と前記補剛材7とのアセンブリを熱処理する第3段階とに付すことを包含することを特徴とする。

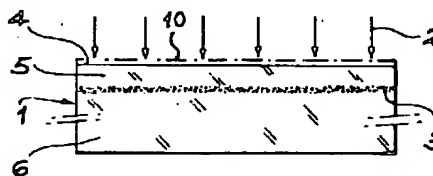


FIG. 2

【特許請求の範囲】

【請求項1】 薄い半導体材料フィルムの製造方法であって、半導体材料が完全に単結晶質の場合にはその面が主要結晶面と実質的に平行であり、材料が多結晶質の場合にはその面が全ての粒子に対して同一指数の主要結晶面に対して僅かに傾斜している半導体材料ウェーハを、以下の3つの段階：基板のバルクを構成する下方区域と薄いフィルムを構成する上方区域とを前記ウェーハの容積部内に限定する微小気泡の層をイオンの平均進入深さに近い深さの前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハの面へのボンバードによる注入の第1段階であって、イオンは水素ガスイオン又は稀ガスイオンの中から選択され、注入中のウェーハ温度は、注入イオンにより発生されたガスが拡散により半導体から放出し得る温度よりも低く維持されている第1段階と、前記ウェーハの平面を、少なくとも1つの剛性材料層からなる補剛材と密着させる第2段階と、イオンボンバードが実施される温度よりも高く、且つこの段階中に前記補剛材と前記ウェーハの平面とは密着させたままで、ウェーハ中の結晶の再配列作用及び微小気泡内の圧力作用により薄いフィルムと基板のバルクとを分離させるのに適した温度で前記ウェーハと前記補剛材とのアセンブリを熱処理する第3段階とで処理することを包含することを特徴とする方法。

【請求項2】 半導体材料内へのイオンの注入段階が、イオンによって横断され得るような種類及び厚さの1つ以上の材料層を通じて実施されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項3】 半導体がⅢ族の共有結合を有することを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項4】 半導体がシリコンであり、注入イオンが水素ガスイオンであり、注入ガスの温度が20～450℃であり、且つ第3の熱処理段階の温度が500℃を超えることを特徴とする請求項1から3のいずれか一項に記載の薄いフィルムの製造方法。

【請求項5】 注入が封入高温酸化シリコン層を通じて実施され、且つ補剛材が少なくとも1つの酸化シリコン層によって被覆されたシリコンウェーハであることを特徴とする請求項2に記載の薄いフィルムの製造方法。

【請求項6】 前記ウェーハの平面を補剛材と密着させる第2段階が、静電圧力を加えることにより実施されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項7】 補剛材が、蒸発、プラズマ若しくは光子により任意に支援される化学蒸着、又はアトマイゼーションからなる群の中から選択された1つ以上の方法によって付着されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項8】 補剛材が接着性物質によって前記ウェーハに結合されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項9】 補剛材が原子間結合を促進する処理によってウェーハに付着させられることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄い半導体材料フィルム、好ましくは単結晶質フィルムの製造に適用可能な製造方法に関する。

【0002】

【従来の技術】単結晶質半導体フィルムの製造には種々の方法があるが、多結晶質材料フィルム又は非晶質材料フィルムの製造が比較的簡単である一方で、単結晶質フィルムの製造が遥かに困難なために、これらの方法の実施がしばしば複雑で、費用がかかることは知られている。

【0003】単結晶質フィルムの製造に使用されている方法の中には、いわゆる“絶縁体上シリコン”基板の製造に使用されている方法がある。この方法の目的は、フィルムから電気的に絶縁された基板上に位置する単結晶質シリコンフィルムを製造することである。

【0004】結晶成長ヘテロエピタキシ法により、格子パラメータがシリコンのパラメータに近い他の型の単結晶質基板、例えばサファイア基板(Al_2O_3)又はフッ化カルシウム基板(CaF_2)上に例えば薄いフィルムのシリコン結晶を成長させることができる。(参考文献5を参照)。

【0005】SIMOX法(この名称は文献で使用されている)は、基板のバルクから単結晶質シリコンフィルムを分離する酸化シリコン層をシリコン容積部内に設けるために、シリコン基板内への酸素線量の多いイオンの注入を使用している。(参考文献1参照)。

【0006】他の方法は、化学的又はメカノケミカルの摩耗によるウェーハの薄片化(thinning)の原理を使用している。このカテゴリーで最も成功をおさめた方法は更にエッチストップの原理を使用している。この方法では、必要な厚さが達せられるとすぐにウェーハの薄片化を停止させることができ、このようにして均一な厚さを確保することができる。この方法は例えば、製造が所望されているフィルムの厚さ全体にわたりn型基板へのp型ドーピングを施し、次いでn型シリコンには活性で、p型シリコンには不活性な化学浴で基板を化学腐食させることからなる(参考文献2及び3を参照)。

【0007】単結晶質半導体フィルムの主要用途は、X線リソグラフィマスク、センサ、太陽電池及び複数の活性層を有する集積回路の製造のための絶縁体上シリコン基板、自立シリコン膜又は自立炭化シリコン膜である。

【0008】薄い単結晶質フィルムの種々の製造方法

は、製造手順に関して欠点がある。

【0009】ヘテロエピタキシ法は基板の種類によって制限される。基板の格子パラメータは半導体のパラメータと精密には同一ではないので、フィルムは多数の結晶上の欠陥を有する。更には、これらの基板は高価で、脆く、且つ限定された寸法でのみ存在している。

【0010】SIMOX法は、非常に線量の多いイオン注入を必要とし、この注入は非常に重く且つ複雑な注入機械を要する。このような機械の出力は制限され、出力を著しく増すことは困難であろう。

【0011】薄片化法は、エッチストップの原理を使用する場合を除いて、均質性及び品質の観点から競合的ではない。不運なこと、このエッチストップの導入により方法は複雑になり、場合によってはフィルムの使用が制限され得る。

【0012】従って、エッチストップがn型基板へのp型ドーピングによって実施されるならば、フィルム内で製造される任意の電子デバイスはフィルムのp型特性に適合させねばならない。

【0013】

【発明が解決しようとする課題】本発明は、選択される半導体とは種類の異なった初期基板も、非常に多い注入線量も、エッチストップをも必要とせずに前述した欠点を克服し得、且つ更に均質で調整された厚さを有するフィルムの製造を可能とする薄い半導体材料フィルムの製造方法に関する。

【0014】

【課題を解決するための手段】この薄いフィルムの製造方法は、半導体材料が完全に単結晶質の場合にはその面が主要結晶面と実質的に平行であり、材料が多結晶質の場合にはその面が全ての粒子に対して同一指数の主要結晶面に対して僅かに傾斜している半導体材料ウェーハを、以下の3つの段階：基板のバルクを構成する下方区域6と薄いフィルムを構成する上方区域5とを前記ウェーハの容積部内に限定する微小気泡の層3をイオンの平均進入深さに近い深さの前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハ1の面4へのボンバード2による注入の第1段階であって、イオンは水素ガスイオン又は稀ガスイオンの中から選択され、注入中のウェーハ温度は、注入イオンにより発生されたガスが拡散により半導体から放出し得る温度より低く維持されている第1段階と、前記ウェーハの平面4を、少なくとも1つの剛性材料層からなる補剛材7と密着させる第2段階と、イオンボンバード2が実施される温度よりも高く、且つこの段階中に前記補剛材と前記ウェーハの平面とは密着させたままで、ウェーハ1中の結晶の再配列作用及び微小気泡内の圧力作用により薄いフィルム5と基板6のバルクとを分離させるのに適した温度で前記ウェーハ1と前記補剛材7とのアセンブリを熱処理する第3段階とで処理することを包含することを特徴とする。

【0015】従って、本発明は、格子を構成する全ての粒子が半導体面に実質的に平行な主要結晶面（該面は全ての半導体粒子に対して同一指数、例えば（1，0，0）を有する）を有するならば、多結晶質半導体材料にも適用される。半導体材料に関しては、ZMR SOI（ZMR＝帯－熔融－再結晶化）が挙げられ得る（参考文献4を参照）。注入段階という用語は、1回の注入段階と、異なる線量及び／又は異なるエネルギー及び／又は異なるイオンでの注入の連続とを意味する。

10 【0016】本発明方法の変形例として、1つ以上の材料層を通じて半導体材料内へのイオン注入を実施するのが有利であり得る。該“封入（encapsulation）”層は、イオンがこの材料層を貫通して、半導体に進入するように選択される。例えば封入層は、より薄い膜を製造するために半導体内へのイオンの進入を抑える手段としても、考えられ得る汚染から半導体を保護する手段としても、又は半導体面の物理化学的狀態を調整する手段としても使用され得る。ウェーハを構成する基板がシリコンから製造されるときには、高温酸化シリコンからなり且つ厚さが例えば25～500nmの封入層を選択することが有利であり得る。これらの封入層は注入段階後に保持され得るか又は除去され得る。

20 【0017】本発明では、イオン注入が実施されるウェーハの温度は作業中常に調整され、その結果温度は、注入イオンによって発生されたガスが急速に拡散し且つ半導体から放出する臨界温度よりも低く維持される。例えば該臨界温度はシリコンへの水素注入の場合で約500℃である。この温度を超えると、微小気泡が形成されないために、この方法は効果がなくなる。シリコンの場合には、20～450℃の注入温度が好ましい。

30 【0018】ウェーハ－補剛材アセンブリの熱処理という第3段階中には、イオン注入によって発生された無秩序に続いての結晶の再配列が生じる。共に第3段階の熱処理によって生じる結晶の再配列とマクロな気泡を生じる気泡の凝集とによってフィルムと基板とが分離される。これらの気泡内の気体圧力の作用下では、半導体面は高い応力を受ける。表面変形及び形成されたマクロ気泡に相当する火ぶくれ状態の生成を避けることが所望されるならば、これらの応力を補償することが重要である。従って、火ぶくれ状態は、マクロな気泡がその最終成長段階に達して互いに凝集する前に、小さく粉々になり得る。従って、連続する半導体フィルムの製造が所望されるならば、熱処理段階中に生じる応力を補償することが必要である。本発明に基づけば、この補償は半導体ウェーハ面と補剛材とを密着させることによって行われる。補剛材の機能は、ウェーハ面との接触及びその機械特性により、マクロな気泡によって発生された応力が補償されることである。従って、半導体フィルムは最終的に壁開するまで、熱処理段階中常に平坦且つ損なわれないままであり得る。

【0019】本発明の基づけば、補剛材の製造方法の選択及び補剛材の種類はフィルムについて考えられる各適用によって決まる。例えば意図される用途が絶縁体上シリコン基板の製造ならば、補剛材は、酸化物層又は窒化物層のような少なくとも1つの誘電層によって被覆されたシリコンウェーハからなることが有利であり得る。補剛材の酸化物は、それからフィルムが製造されるべきウェーハと密着されており、ウェーハは例えば酸化シリコン封入層を任意に有している。

【0020】補剛材について選択された厚さが適当であれば、即ち数マイクロメータ〜数十マイクロメータならば、補剛材は蒸発、アトマイゼーション、プラズマ又は光子によって任意に支援され得る化学蒸着のような方法によってウェーハに結合され得るか又はウェーハ上に製造され得る。

【0021】密着という用語は、例えば静電圧力及び／又は付着接触によって補剛材をウェーハ上に押圧することによって得られる接触を意味する。

【0022】従って、本発明の補剛材は更に、補剛材及びウェーハ両方に接着性物質を使用して、又は接着性物質の使用が所望されない場合には補剛材と半導体ウェーハとの原子間結合を助けるために、結合されるべき表面の少なくとも1つを先に製造し且つ任意に圧力の選択を伴う熱処理及び／又は静電処理を実施することにより半導体ウェーハに結合され得る。補剛材は静電圧力によってもウェーハに付着され得る。

【0023】自立膜の製造に関する適用については、補剛材をフィルムから簡単且つ選択的に分離することができるように補剛材の種類を選択することが適切である。参考までに、単結晶質シリコン膜を製造するには、例えば酸化シリコン補剛材を選択することが可能であり、この補剛材はそれから、プロセスの第3の熱処理段階の後にフッ化水素酸浴中で除去される。

【0024】本発明方法の特徴として、第2段階及び第3段階での作業温度の選択は以下の要件に適合せねばならない。ウェーハ上に補剛材を設置するには、第3段階の処理を開始させ得る温度を適用してはならない。このために本発明に基づけば、第3段階の熱処理の温度よりも低い温度でプロセスの第2段階を実施することが必要である。本発明ではこの熱処理は、結晶再配列と気泡の凝集とが効果的に生じる温度で実施されねばならない。例えばシリコンの場合、結晶再配列と気泡の凝集とが適切な動力学で生じ得るには約500°Cを超える温度が必要である。

【0025】本発明方法を実施するに当たって、ボンバードによる注入に使用されるイオンは通常H⁺イオンであるが、この選択は限定的であるとみなすべきではない *

H ⁺ イオンのエネルギー (keV)	10	50	100	150	200	500	1000
フィルムの厚さ (μm)	0.1	0.5	0.9	1.2	1.6	4.7	13.5

図2は封入層10で任意に被覆された半導体ウェーハ1

*い。従って本方法の原理は、分子水素イオン又はヘリウム、ネオン、クリプトン及びキセノンのような稀ガスのイオンを単独で若しくは組み合わせて使用して適用され得る。本発明方法を工業的に適用するには、IV族半導体が好ましく、例えばシリコン、ゲルマニウム、炭化シリコン及びシリコン-ゲルマニウム合金の使用が可能である。

【0026】

【実施例】添付図面を参照して本発明の非制限的实施例を更に詳細に説明する。

【0027】これから添付図面を参照して説明する実施例は、H⁺イオン注入による単結晶質シリコンウェーハ内での薄いフィルムの製造に関する。

【0028】その表面が主要結晶面、例えば(1, 0, 0)面に相当する単結晶質シリコンウェーハに150 keVでH⁺イオン(プロトン)を注入すると、注入線量が少ない(<10¹⁶ cm⁻²)場合には、図1に示すように深さRpで最大濃度を有する深さPに対する水素濃度プロファイルCが得られる。シリコン内へのプロトン注入の場合には、Rpは約1.25マイクロメータである。

【0029】約10¹⁶ cm⁻²の線量では、注入水素原子は気泡を形成し始め、これらの気泡は表面に平行な面の付近に配分されている。表面の面は主要結晶面に相当し、また結果的に劈開面となる微小気泡面についても同様である。

【0030】10¹⁶ cm⁻²を超える(例えば5・10¹⁶ cm⁻²)注入線量では、シリコンを2つの部分に劈開させる気泡と、厚さが1.2マイクロメータの上方フィルム(薄いフィルム)と、基板のバックとの融合を加熱により開始させることが可能である。

【0031】水素注入は有利な例である。何故ならば、シリコン中でのイオンの制動プロセスは事実上イオン化(電子制動)だからである。原子移動による原子核型制動は飛程の最後だけにのみ生じる。それ故シリコンの表面層では非常に僅かな欠陥だけが生じ、限定された厚さにわたり、気泡が深さRp(最大濃度の深さ)の付近に集中されている。これにより、穏当な注入線量(5・10¹⁶ cm⁻²)で方法の必要な効率、及び表面層の分離後には粗度の限定された表面を得ることが可能となる。

【0032】本発明方法を使用すると、注入エネルギーを選択することにより広い厚さ範囲内で薄いフィルムの厚さを選択することが可能となる。この特性は、注入イオンの原子番号Zが小さいだけに一層重要である。例えば以下の表は、H⁺イオン(Z=1)の異なる注入エネルギーに対して得られ得るフィルムの厚さを示している。

【0033】

H ⁺ イオンのエネルギー (keV)	10	50	100	150	200	500	1000
フィルムの厚さ (μm)	0.1	0.5	0.9	1.2	1.6	4.7	13.5

を示し、該層は、主要結晶面に平行な平面4を通しての

H⁺イオンのイオンボンバード2を受けている。面4に平行に微小気泡層3を認めることができる。層3及び面4は薄いフィルム5を限定している。半導体基板6の他の部分は、基板のバルクを構成している。

【0034】図3は、半導体ウェーハ1の面4と密着された補剛材7を示している。本発明の有利な実施例では、材料へのイオン注入は高温酸化シリコン封入層10を通じて行われ、補剛材7は少なくとも1つの誘電層によって被覆されたシリコンウェーハからなっている。

【0035】他の実施例は、半導体材料に補剛材を固定するために静電圧力を使用している。この場合、例えば5000Å厚さの酸化シリコン層を有するシリコン補剛材が選択される。ウェーハの平面は補剛材の酸化物と接触させられ、ウェーハと補剛材との間には数十ボルトの電位差が適用される。ここで得られる圧力は数10⁴～10⁶パスカルである。

【0036】図4は、基板6のバルクから空間8によって隔離された、補剛材7に結合されたフィルム5を示している。

【0037】本明細書は以下の資料を参照している。

【0038】(1) SIMOX SOI for Integrated Circuit Fabrication by Hon Wai Lam, IEEE Circuits and Devices Magazine, July 1987.

(2) Silicon on Insulator Wafer Bonding, Wafer Thinning, Technological Evaluations by Haisma, Spierings, Biermann et Pals, Japanese Journal of Applied Physics, vol. 28, no. 8, August 1989.

(3) Bonding of silicon wafers for silicon on insula*

* tor by Maszara, Goetz, Caviglia and McKitterick, Journal of Applied Physics 64 (10) 15 November 1988.

(4) Zone melting recrystallization silicon on insulator technology by BorYeu Tsaur, IEEE Circuits and Devices Magazine, July 1987.

(5) 1986 IEEE SOS/SOI Technology Workshop, September 30-October 2, 1986, South Seas plantation resort and yacht Harbour, Captiva Island, Florida.

【図面の簡単な説明】

【図1】 進入深さに対する水素イオンの濃度プロファイルを示すグラフである。

【図2】 H⁺イオンのボンバードにさらされ且つ注入粒子によって生じた微小気泡層が内部に出現した、単結晶質フィルム源として本発明で使用する単結晶質半導体ウェーハの断面図である。

【図3】 補剛材で被覆された図2の半導体ウェーハを示す図である。

【図4】 熱処理段階後にフィルムと基板バルクとの間に劈開が生じたときの、図3の半導体ウェーハと補剛材とのアセンブリを示す図である。

【符号の説明】

- 1 ウェーハ
- 4 平面
- 5 フィルム
- 6 基板
- 7 補剛材

【図1】

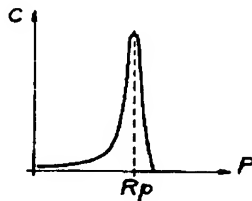


FIG. 1

【図2】



FIG. 2

【図3】

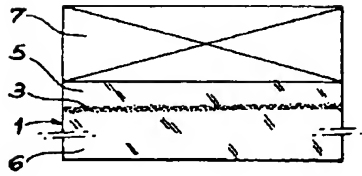


FIG. 3

【図4】

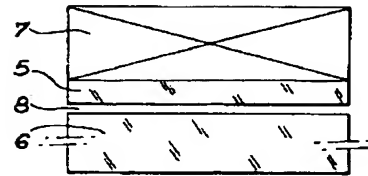


FIG. 4

フロントページの続き

(51)Int.Cl.⁵

H 0 1 L 27/12
31/04

識別記号

片内整理番号

E 8728-4M

7376-4M

F I

H 0 1 L 31/04

技術表示箇所

X

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211128

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

H01L 21/205
H01L 21/265
H01L 21/027
H01L 27/12
H01L 31/04

(21)Application number : 04-246594

(71)Applicant : COMMISS ENERG ATOM

(22)Date of filing : 16.09.1992

(72)Inventor : BRUEL MICHEL

(30)Priority

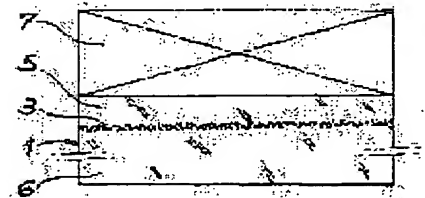
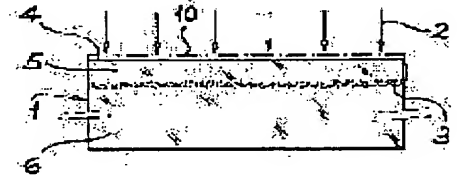
Priority number : 91 9111491 Priority date : 18.09.1991 Priority country : FR

(54) MANUFACTURE OF THIN SEMICONDUCTOR FILM

(57)Abstract:

PURPOSE: To manufacture a uniform quality and thin semiconductor film by maintaining a wafer temperature during hydrogen or rare-gas ion implantation which is lower than a gas discharge temperature and performing heat processing, while a wafer and a reinforcing material are in close contact with each other.

CONSTITUTION: A fine bubble layer 3, which defines a semiconductor wafer 1 as a low region 6 and an upper region 5 constituting a thin film, is caused by implantation to a surface 4 of the wafer 1 by a bombardment 2. Ions are selected from hydrogen gas or rare-gas ions. The wafer temperature during the implantation is maintained to be lower than a temperature for discharging the ion gas from the semiconductor. The flat surface 4 of the wafer 1 is brought into close contact with a reinforcing material 7 of a rigid material layer. By performing heat processing at a temperature of 500° C or higher which is appropriate to separation of the thin film 5 from the bulk of the substrate 6 by a crystal rearrangement in the wafer 1 and pressure in the fine bubbles, and selecting the implantation energy, the thickness of the thin film can be selected within a wide thickness range.



LEGAL STATUS

[Date of request for examination]

28.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3048201

[Date of registration]

24.03.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211128

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

H01L 21/205

H01L 21/265

H01L 21/027

H01L 27/12

H01L 31/04

(21)Application number : 04-246594

(71)Applicant : COMMISS ENERG ATOM

(22)Date of filing : 16.09.1992

(72)Inventor : BRUEL MICHEL

(30)Priority

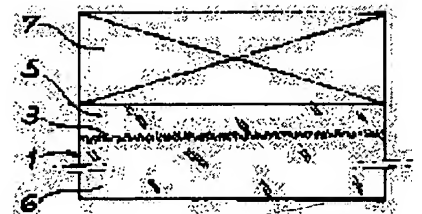
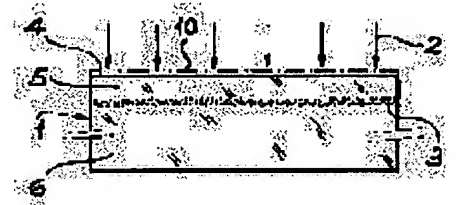
Priority number : 91 9111491 Priority date : 18.09.1991 Priority country : FR

(54) MANUFACTURE OF THIN SEMICONDUCTOR FILM

(57)Abstract:

PURPOSE: To manufacture a uniform quality and thin semiconductor film by maintaining a wafer temperature during hydrogen or rare-gas ion implantation which is lower than a gas discharge temperature and performing heat processing, while a wafer and a reinforcing material are in close contact with each other.

CONSTITUTION: A fine bubble layer 3, which defines a semiconductor wafer 1 as a low region 6 and an upper region 5 constituting a thin film, is caused by implantation to a surface 4 of the wafer 1 by a bombardment 2. Ions are selected from hydrogen gas or rare-gas ions. The wafer temperature during the implantation is maintained to be lower than a temperature for discharging the ion gas from the semiconductor. The flat surface 4 of the wafer 1 is brought into close contact with a reinforcing material 7 of a rigid material layer. By performing heat processing at a temperature of 500° C or higher which is appropriate to separation of the thin film 5 from the bulk of the substrate 6 by a crystal rearrangement in the wafer 1 and pressure in the fine bubbles, and selecting the implantation energy, the thickness of the thin film can be selected within a wide thickness range.



LEGAL STATUS

[Date of request for examination] 28.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3048201

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Are the manufacture method of a thin semiconductor material film, and, in the case of quality of a single crystal, a semiconductor material is substantially [the field / as the main crystal faces] parallel completely. A semiconductor material wafer with which the field inclines slightly to the main crystal faces of the same characteristic to all particles when a material is polycrystal The following three phases : Produce a layer of minute air bubbles which limit a lower part area which constitutes bulk of a substrate, and an upper part area which constitutes a thin film to capacity circles of said wafer in the capacity section of said wafer of the depth near the average penetration depth of ion. It is the 1st step of impregnation by bombardment to a field of said wafer performed with ion, and ion is chosen from hydrogen gas ion or rare gas ion. Wafer temperature under impregnation The 1st step where gas generated by impregnation ion is maintained lower than temperature which may be emitted from a semiconductor by diffusion, While it was higher than a stiffener which consists of at least one rigid material layer, the 2nd step to which it is made to stick, and temperature at which ion bombardment is carried out and said stiffener and flat surface of said wafer had stuck a flat surface of said wafer all over this phase A method characterized by including processing in the 3rd step which heat-treats an assembly of said wafer and said stiffener at temperature suitable for making a thin film and bulk of a substrate separate according to a rearrangement operation of a crystal in a wafer, and the pressure operation in minute air bubbles.

[Claim 2] A manufacture method of a thin film according to claim 1 characterized by carrying out an impregnation phase of ion into a semiconductor material through a class which may be crossed with ion, and one or more material layers of thickness.

[Claim 3] A manufacture method of a thin film according to claim 1 characterized by a semiconductor having IV group's covalent bond.

[Claim 4] A manufacture method of a thin film given in any 1 term of claims 1-3 which a semiconductor is silicon, impregnation ion is hydrogen gas ion, and temperature of impregnation gas is 20-450 degrees C, and are characterized by temperature of the 3rd heat treatment phase exceeding 500 degrees C.

[Claim 5] A manufacture method of a thin film according to claim 2 characterized by being the silicon wafer with which impregnation was carried out through an enclosure high-temperature-oxidation silicon layer and, by which a stiffener was covered in at least one silicon oxide layer.

[Claim 6] A manufacture method of a thin film according to claim 1 characterized by carrying out the 2nd step to which a flat surface of said wafer is stuck with a stiffener by applying electrostatic stress.

[Claim 7] A manufacture method of a thin film according to claim 1 that a stiffener is characterized by adhering by one or more methods chosen from groups which it becomes from chemical vacuum deposition supported by arbitration with evaporation, plasma, or a photon, or atomization.

[Claim 8] A manufacture method of a thin film according to claim 1 characterized by combining a stiffener with said wafer with adhesive matter.

[Claim 9] A manufacture method of a thin film according to claim 1 characterized by being made to adhere to a wafer by processing whose stiffener promotes an interatomic bond.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a thin semiconductor material film and the desirable manufacture method applicable to manufacture of the nature film of a single crystal.

[0002]

[Description of the Prior Art] Although there are various methods in manufacture of the nature semiconductor film of a single crystal, while manufacture of a polycrystal material film or an amorphous-materials film is comparatively easy, since it is far difficult, operation of these methods often has complicated manufacture of the nature film of a single crystal, and it is known that costs will start.

[0003] The method currently used for manufacture of the so-called "silicon-on-insulator" substrate is in the method currently used for manufacture of the nature film of a single crystal. The object of this method is manufacturing the nature silicon film of a single crystal located on the substrate electrically insulated from the film.

[0004] the crystal growth hetero epitaxy method -- a nature substrate of single crystal of other molds with lattice parameter near parameter of silicon, for example, silicon on sapphire, (aluminum $2O_3$), and calcium-fluoride substrate (CaF_2) top -- for example, the silicon crystal of a thin film can be grown up. (see the reference 5).

[0005] In order to prepare the silicon oxide layer which separates the nature silicon film of a single crystal from the bulk of a substrate in silicon capacity circles, impregnation of ion with much oxygen dosage into a silicon substrate is being used for the SIMOX method (this name is used by reference). (Reference 1 reference).

[0006] The principle of chemical or flake-izing (thinning) of the wafer by mechanochemical wear is being used for other methods. The method which stored a success most by this category is using the principle of a dirty stop further. By this method, shortly after required thickness is reached, flake-ization of a wafer can be stopped, and it can do in this way, and uniform thickness can be secured. This method performs p mold doping to a rear-spring-supporter n mold substrate to the whole thickness of the film with which it asks for manufacture, and subsequently, it is activity and becomes n mold silicon from carrying out chemical etching of the substrate to p type silicon by the inactive chemistry bath (see the reference 2 and 3).

[0007] The main uses of the nature semiconductor film of a single crystal are the insulating material top silicon substrate for manufacture of the integrated circuit which has an X-ray-lithography mask, a sensor, a solar battery, and two or more barrier layers, an independence silicon film, or an independence carbonization silicon film.

[0008] The thin various manufacture methods of the nature film of a single crystal have a defect about a manufacture procedure.

[0009] The hetero epitaxy method is restricted by the class of substrate. Since the lattice parameter of a substrate is not the same to the parameter and precision of a semiconductor, a film has a defect on much crystals. Furthermore, these substrates are expensive, and are weak, and exist only with the limited size.

[0010] The SIMOX method needs an ion implantation with dramatically much dosage, and this impregnation requires a very heavy and complicated impregnation machine. Probably, it will be difficult to restrict the output of such a machine and to increase an output remarkably.

[0011] A flake-ized method is not competitive from a viewpoint of homogeneity and quality except for the case where the principle of a dirty stop is used. A method becomes complicated by installation of this dirty stop, and the activity of a film may be restricted to an unfortunate thing depending on the case.

[0012] Therefore, if a dirty stop is carried out by p mold doping to n mold substrate, the electron device of the arbitration manufactured within a film is fitted to p mold property of a film, and if it is ****, there will be. [no]

[0013]

[Problem(s) to be Solved by the Invention] It is related with the manufacture method of the thin semiconductor material film which enables manufacture of the film which has the thickness which this invention could conquer the defect which mentioned above the initial substrate with which the class differed from the semiconductor chosen, and very many impregnation dosage, without also needing a dirty stop, and was still more homogeneous, and was adjusted.

[0014]

[Means for Solving the Problem] In the case of quality of a single crystal, this thin manufacture method of a film has a substantially [that field / as the main crystal faces] parallel completely semiconductor material. A semiconductor material wafer with which the field inclines slightly to the main crystal faces of the same characteristic to all particles when a material is polycrystal The following three phases : Produce the layer 3 of minute air bubbles which limit the lower part area 6 which constitutes bulk of a substrate, and the upper part area 5 which constitutes a thin film to capacity circles of said wafer in the capacity section of said wafer of the depth near the average penetration depth of ion. It is the 1st step of impregnation by the bombardment 2 to the field 4 of said wafer 1 performed with ion. Ion is chosen from hydrogen gas ion or rare gas ion. Wafer temperature under impregnation The 1st step where gas generated by impregnation ion is maintained lower than temperature which may be emitted from a semiconductor by diffusion, The 2nd step to which the flat surface 4 of said wafer is stuck with the stiffener 7 which consists of at least one rigid material layer, Being higher than temperature at which ion bombardment 2 is carried out, and sticking said stiffener and flat surface of said wafer all over this phase It is characterized by including processing in the 3rd step which heat-treats an assembly of said wafer 1 and said stiffener 7 at temperature suitable for making the thin film 5 and bulk of a substrate 6 separate according to a rearrangement operation of a crystal in a wafer 1, and the pressure operation in minute air bubbles.

[0015] therefore, this invention has the parallel main crystal faces (this side -- all semiconductor particles -- receiving -- the same characteristic -- for example, (1, 0, 0), it has) in a semiconductor side substantially [all particles that constitute a grid] -- if it becomes, it will be applied also to a polycrystal semiconductor material. ZMRSOI (ZMR= band-melting-recrystallization) may be mentioned about a semiconductor material (see the reference 4). A term called an impregnation phase means 1 time of an impregnation phase, and continuation of impregnation with different dosage, different energy, and/or different ion.

[0016] It is advantageous to carry out an ion implantation into a semiconductor material through one or more material layers as a modification of this invention method, and it obtains. Ion penetrates this material layer, and a ** "enclosure (encapsulating)" layer is chosen so that it may advance into a semiconductor. For example, an enclosure layer may be used also as a means to adjust a physicochemical condition of a semiconductor side also as a means to protect a semiconductor from contamination which may be considered also as a means to suppress penetration of ion into a semiconductor, in order to manufacture a thinner film. When a substrate which constitutes a wafer is manufactured from silicon, it is advantageous to consist of high-temperature-oxidation silicon, and to choose an enclosure layer whose thickness is 25-500nm, and it obtains. or [that these enclosure layers may be held after an impregnation phase] -- or it may be removed.

[0017] In this invention, it is maintained lower than critical temperature which gas generated by impregnation ion diffuses temperature quickly as a result by always adjusting during an activity temperature of a wafer with which an ion implantation is carried out, and is emitted from a semiconductor. For example, in the case of hydrogen impregnation to silicon, this critical temperature is about 500 degrees C. If this temperature is exceeded, since minute air bubbles will not be formed, an effect of this method is lost. In the case of silicon, impregnation temperature of 20-450 degrees C is desirable.

[0018] All over 3rd step called heat treatment of a wafer stiffener assembly, a rearrangement of a crystal which was generated by ion implantation and which continues disorderly arises. A film and a substrate are separated by a rearrangement of a crystal both produced by the 3rd-step heat treatment, and condensation of air bubbles which produce macroscopic air bubbles. Under an operation of gas pressure force in these air bubbles, a semiconductor side receives high stress. If to avoid generation of a blister condition equivalent to macro air bubbles formed [which were formed and were front-face-transformed] is wished, it is important to compensate such stress. Therefore, before macroscopic air bubbles reach the last growth step and condense a blister condition mutually, it can become in pieces small. Therefore, if it asks for manufacture of a continuous semiconductor film, it is required to compensate stress produced all over a heat treatment phase. If based on this invention, this compensation will be performed by sticking a semiconductor wafer side and a stiffener. A function of a stiffener is that stress generated by macroscopic air bubbles is compensated by contact and its mechanical characteristic with a wafer side. Therefore, a semiconductor film may not always be spoiled [flat and] among a heat treatment phase until it **** eventually.

[0019] If this invention is based, selection of a manufacture method of a stiffener and a class of stiffener will be decided

by each application a film is considered to be. For example, if a use meant is manufacture of an insulating material top silicon substrate, as for a stiffener, it will be advantageous to consist of a silicon wafer covered with at least one dielectric layer like an oxide layer or a nitride layer, and it will be obtained. An oxide of a stiffener is stuck from it with a wafer with which a film should be manufactured, and a wafer has for example, a silicon oxide enclosure layer in arbitration.

[0020] If thickness chosen about a stiffener is suitable (i.e., if several micrometers - dozens of micrometers become), it may be combined with a wafer by method like chemical vacuum deposition which may be supported by arbitration with evaporation, atomization, plasma, or a photon, or a stiffener may be manufactured on a wafer.

[0021] A term called adhesion means contact acquired by pressing a stiffener on a wafer by electrostatic stress and/or adhesion contact.

[0022] Therefore, a stiffener of this invention may be combined with a semiconductor wafer by manufacturing previously at least one of the front faces which should be combined, and carrying out heat treatment and/or electrostatic processing accompanied by selection of a pressure to arbitration, in order to help an interatomic bond of a stiffener and a semiconductor wafer, when adhesive matter is used for both a stiffener and a wafer or it does not ask for an activity of adhesive matter further. A wafer may adhere to a stiffener also by electrostatic stress.

[0023] About application about manufacture of self-supported film, it is appropriate to choose a class of stiffener so that a stiffener can be separated from a film simply and selectively. By reference, in order to manufacture a nature silicon film of a single crystal, it is possible to choose a silicon oxide stiffener and this stiffener is removed from it in a hydrofluoric-acid bath after the 3rd heat treatment phase of a process.

[0024] As a feature of this invention method, selection of working temperature in the 2nd step and the 3rd step must suit the following requirements. In order to install a stiffener on a wafer, don't apply temperature which may make the 3rd-step processing start. For this reason, if based on this invention, it is required at a temperature lower than temperature of the 3rd-step heat treatment to carry out the 2nd step of a process. By this invention, this heat treatment must be carried out at temperature which a crystal rearrangement and condensation of air bubbles produce effectively. For example, temperature which exceeds about 500 degrees C for a crystal rearrangement and condensation of air bubbles to arise in suitable dynamics in the case of silicon is required.

[0025] In enforcing this invention method, ion used for impregnation by bombardment is usually H^+ ion, but it should not be considered that this selection is restrictive. Therefore, it is used for it for ion of rare gas like a molecule hydrogen ion or helium, neon, a krypton, and a xenon, a principle of this method being independent or combining, and may be applied. In order to apply this invention method industrially, IV group semiconductor is desirable, for example, an activity of a silicon, germanium, carbonization silicon, and silicon-germanium alloy is possible.

[0026]

[Example] With reference to an accompanying drawing, the nonrestrictive example of this invention is further explained to details.

[0027] The example to be explained with reference to an accompanying drawing from now on is related with manufacture of the thin film within the nature silicon wafer of a single crystal by H^+ ion implantation.

[0028] If H^+ ion (proton) is poured into the nature silicon wafer of a single crystal with which the front face is equivalent to the main crystal face, for example, (1, 0, 0), a field, by 150keV(s), when there is little impregnation dosage ($<10^{16}cm^{-2}$), the hydrogen concentration profile C to depth P which has the maximum concentration in the depth R_p as shown in drawing 1 will be obtained. In proton impregnation into silicon, R_p is about 1.25 micrometers.

[0029] In the dosage of abbreviation $10^{16}cm^{-2}$, an impregnation hydrogen atom begins to form air bubbles, and these air bubbles are distributed near the field parallel to a front face. The surface field is the same also about the minute air-bubbles side which is equivalent to the main crystal faces, and turns into a cleavage plane as a result.

[0030] It is possible to make fusion in the air bubbles which carry out cleavage of the silicon to two portions, the upper part film (thin film) whose thickness is 1.2 micrometers, and the back of a substrate start with heating in the impregnation dosage exceeding $10^{16}cm^{-2}$ (for example, $5.10^{16}cm^{-2}$).

[0031] Hydrogen impregnation is an advantageous example. It is because the braking process of the ion in the inside of silicon is ionization (electronic braking) as a matter of fact. Nuclear mold braking by atomic migration is produced only at the last of range. So, in the surface layer of silicon, only very few defects arise and a rear spring supporter and air bubbles are concentrated on the limited thickness near the depth R_p (depth of the maximum concentration). This becomes possible [obtaining the front face where relative roughness was limited] after the required effectiveness of a method, and separation of a surface layer with proper impregnation dosage ($5.10^{16}cm^{-2}$).

[0032] If this invention method is used, it will become possible by choosing impregnation energy to choose the thickness of a thin film by large thickness within the limits. This property is much more important, because the atomic

number z of impregnation ion is small. For example, the following tables show the thickness of the film which may be obtained to the impregnation energy from which H^+ ion ($z=1$) differs.

[0033]

Energy [of H^+ ion] (keV) 4.7 13.5 drawing 2 showed the semiconductor wafer 1 covered with the enclosure layer 10 by arbitration, and this layer has received the ion bombardment 2 of H^+ ion which lets the flat surface 4 parallel to the main crystal faces pass. 10 50 100 150 200 500 Thickness of 1000 films (micrometer) 0.1 0.5 0.9 1.2 1.6 The minute air-bubbles layer 3 can be accepted in parallel in a field 4. The layer 3 and the field 4 limit the thin film 5. Other portions of the semiconductor substrate 6 constitute the bulk of a substrate.

[0034] Drawing 3 shows the field 4 of a semiconductor wafer 1, and the stiffener 7 to which it was stuck. In the advantageous example of this invention, the ion implantation to a material is performed through the high-temperature-oxidation silicon enclosure layer 10, and the stiffener 7 consists of a silicon wafer covered with at least one dielectric layer.

[0035] Since a stiffener is fixed to a semiconductor material, electrostatic stress is being used for other examples. The silicon stiffener which has the silicon oxide layer of 5000Å thickness in this case is chosen. The flat surface of a wafer is contacted to the oxide of a stiffener, and the dozens of volts potential difference is applied between a wafer and a stiffener. The pressure obtained here is several 105-106 pascals.

[0036] Drawing 4 shows the film 5 which was isolated by space 8 from the bulk of a substrate 6 and which was combined with the stiffener 7.

[0037] Refer to the following data for this description.

[0038] (1)SIMOX SOI for Integrated CircuitFabrication by Hon Wai Lam, IEEE Circuits and Devices Magazine, July 1987.

(2)Silicon on Insulator Wafer Bonding, Wafer Thinning, Technological Evaluations by Haisma, Spierings, Biermann et Pals, Japanese Journal of Applied Physics, vol.28,no.8,August 1989.

(3)Bonding of silicon wafers for silicon on insulator by Maszara,Goetz,Caviglia and McKitterick, Journal ofApplied Physic 64(10)15 November 1988.

(4)Zone melting recrystallization silicon on insulator technology by BorYeu Tsaur, IEEE Circuits and Devices Magazine, July 1987.

(5)1986 IEEE SOS/SOI Technology Workshop, September 30-October 2, 1986,South Seas plantation resort and yacht Harbour, Captiva Island, Florida.

[Translation done.]

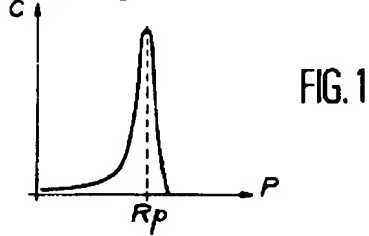
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

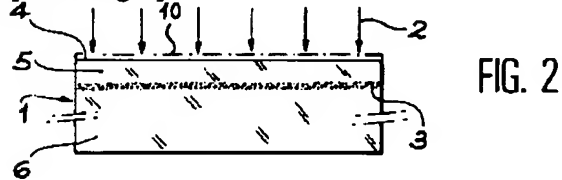
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

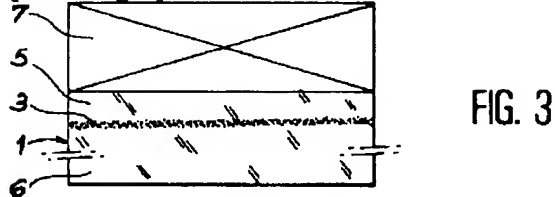
[Drawing 1]



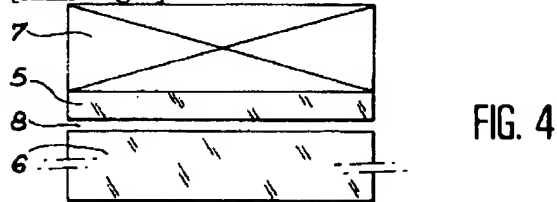
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]